

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07273197 A**

(43) Date of publication of application: **20.10.95**

(51) Int. Cl.

**H01L 21/768**

**H01L 21/28**

(21) Application number: **06065188**

(71) Applicant: **mitsubishi electric corp**

(22) Date of filing: **01.04.94**

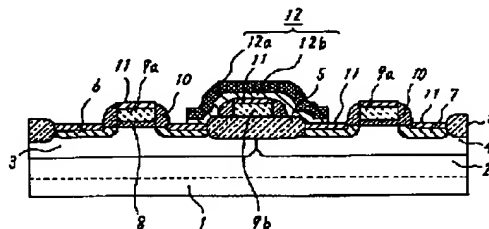
(72) Inventor: **OKADA KATSUYA**

(54) **SEMICONDUCTOR DEVICE AND ITS  
FABRICATION**

(57) Abstract:

PURPOSE: To obtain a structure of semiconductor device in which high speed operation is not impeded by employing a low resistance local wiring.

CONSTITUTION: Titanium silicide 11 is deposited on adjacent impurity diffusion layers 6, 7. A local wiring for interconnecting the impurity layers 6, 7 directly through the titanium silicide 11 has double layer structure of upper titanium nitride layer 12a and lower nonreactive titanium nitride layer 12b having low resistance.



COPYRIGHT: (C)1995,JPO

**THIS PAGE BLANK (U.S. ...)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 7 3 1 9 7

(43) 公開日 平成 7 年 (1995) 10 月 20 日

(51) Int. Cl. <sup>6</sup>

H01L 21/768

21/28

識別記号

庁内整理番号

F I

技術表示箇所

301 T

H01L 21/90

B

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平 6 - 6 5 1 8 8

(22) 出願日 平成 6 年 (1994) 4 月 1 日

(71) 出願人 0 0 0 0 0 6 0 1 3

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 岡田 克也

伊丹市瑞原 4 丁目 1 番地 三菱電機株式会

社ユー・エル・エス・アイ開発研究所内

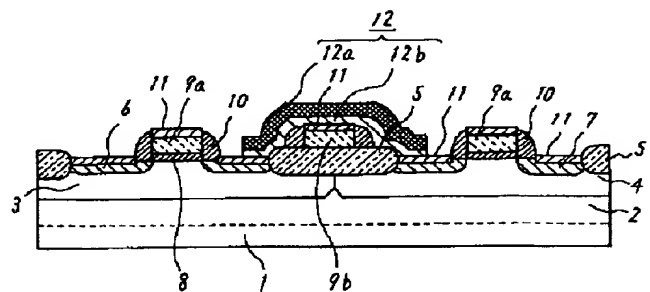
(74) 代理人 弁理士 高田 守

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 低抵抗な局所配線を行うことによって、高速化が阻害されない半導体装置の構成を得る。

【構成】 隣接する不純物拡散層 6、7 上にチタンシリサイド膜 11 が形成され、このチタンシリサイド膜 11 を介して直接的に不純物拡散層 6、7 間を接続する局所配線は、下層の低抵抗の未反応チタン膜 12 b と上層の窒化チタン膜 12 a の 2 層構造を有するものである。



1: 半導体基板  
6, 7: 不純物拡散層  
11: チタンシリサイド膜  
12: 局所配線  
12a: 窒化チタン膜  
12b: 未反応チタン膜  
13: チタン膜

## 【特許請求の範囲】

【請求項 1】 半導体基板と、この基板上に形成された不純物拡散層と、この不純物拡散層と高融点金属シリサイド膜を介して電氣的に接続される配線とを備え、この配線が高融点金属膜と、この高融点金属膜上に形成された高融点金属窒化膜との 2 層構造を有することを特徴とする半導体装置。

【請求項 2】 半導体基板上に不純物拡散層を形成する工程と、上記基板上に高融点金属膜を 100 nm 以上堆積する工程と、窒化雰囲気中で熱処理し、上記高融点金属膜の表面に高融点金属窒化膜を形成するとともに、この高融点金属膜と上記不純物拡散層が接する面に高融点金属シリサイド膜を形成する工程と、上記高融点金属膜と上記高融点金属窒化膜とを配線パターンとする工程とを備えた半導体装置の製造方法。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】 本発明はサリサイド技術により形成された配線を有する半導体装置及びその製造方法に関するものである。

## 【 0 0 0 2 】

【従来の技術】 MOS トランジスタの微細化に伴い、トランジスタを構成するソース・ドレインである不純物拡散層の抵抗上昇に起因した遅延が生じる。この問題を解決するために、サリサイド MOS トランジスタが開発されている。サリサイドトランジスタとはゲートポリシリコン上とソース・ドレインの不純物拡散層上にのみ自己整合的に高融点金属シリサイド膜を形成し、抵抗の低減を図ったトランジスタのことである。

【 0 0 0 3 】 また、上記説明したサリサイドトランジスタにおいては、ゲートポリシリコン上及び不純物拡散層上に高融点金属シリサイド膜を形成する際に、同時に形成される高融点金属窒化膜をゲート電極と不純物拡散層とを接続する局所配線、又は隣接する素子の不純物拡散層を接続する局所配線、又は不純物拡散層の引き出し電極配線に利用している。このような配線はゲート電極又は不純物拡散層に直接的に接続されるため、接続孔を形成する必要が無いので、パターンレイアウトの高集積化が図れる。

【 0 0 0 4 】 図 4 は上記説明したような MOS トランジスタを有する半導体装置の構造を示す一部断面図である。図において、1 は P<sup>+</sup> 型半導体のシリコンからなる半導体基板、2 はこの半導体基板 1 上に形成された厚さ約 2 μm の P<sup>+</sup> 型エピタキシャル層、3 はこの P<sup>+</sup> 型エピタキシャル層 2 中に形成された厚さ約 1.5 μm の P 型ウェル、4 は P<sup>+</sup> 型エピタキシャル層 2 中で、P 型ウェル 3 と隣接して形成された厚さ約 1.5 μm の N 型ウェル、5 は P 型ウェル 3 及び N 型ウェル 4 上に形成された厚さ約 500 nm の酸化膜からなる素子分離酸化膜である。

【 0 0 0 5 】 6 はソース・ドレインとなる P 型ウェル 3 上に形成された厚さ約 0.2 μm の N 型の不純物拡散層、7 はソース・ドレインとなる N 型ウェル 4 上に形成された厚さ約 0.2 μm の P 型の不純物拡散層、8 は隣接した不純物拡散層 6、7 間に挟持された領域上に形成された例えば厚さ約 10 nm の SiO<sub>2</sub> 等の酸化物からなるゲート酸化膜、9 a はこのゲート酸化膜 8 上に形成された例えば約 200 nm のリンドープドポリシリコンからなるゲート電極、9 b は先端部がゲート電極（図示せず）となるゲート電極配線、10 はこのゲート電極配線 9 b 及びゲート電極 9 a の側壁に形成された例えば厚さ約 200 nm の SiO<sub>2</sub> 等の酸化物からなる側壁酸化膜であって、ゲート電極 9 a と不純物拡散層 6、7 を電氣的に絶縁するためのものである。

【 0 0 0 6 】 また、11 は不純物拡散層 6、7 及びゲート電極 9 a 及びゲート電極配線 9 b 上に形成された厚さ約 80 nm のチタンシリサイド膜であって、高融点金属膜である例えばチタン膜をシリサイド化した高融点金属シリサイド膜である。12 は隣接した不純物拡散層 6、7 をチタンシリサイド膜 11 を介して電氣的に接続するための局所配線で、高融点金属であるチタン膜を窒化した高融点窒化膜である厚さ約 20 nm の窒化チタン膜からなる。なお、局所配線 12 は、同時にゲート電極配線 9 b とも接続される。

【 0 0 0 7 】 このように構成された半導体装置においては、不純物拡散層 6 と不純物拡散層 7 とを電氣的に接続するための局所配線 12 が、接続孔を形成することなく、チタンシリサイド膜 11 を介して直接接続されるので、パターンレイアウトの高集積化が図れる。

【 0 0 0 8 】 次に、上記のように構成された半導体装置の製造方法について、図 5 ～ 図 7 に基づいて説明する。図 5 ～ 図 7 はこの半導体装置の一製造工程を示す製造工程図である。まず、半導体基板 1 上に CVD 法によりエピタキシャル層 2 を形成した後、リソグラフィー技術によって N 型ウェル 4 となる領域が開口部となるレジストパターンを形成し、エピタキシャル層 2 中にイオン注入法によりリンイオンを注入する。レジスト除去後、同様に P 型ウェル 3 となる領域が開口部となるレジストパターンを形成し、エピタキシャル層 2 中にイオン注入法によりボロニオンを注入し、レジストを除去する。その後、1000℃以上でアニールを行い、イオンを拡散することによって P 型ウェル 3 及び N 型ウェル 4 を形成する。

【 0 0 0 9 】 次に、素子分離酸化膜 5 を LOCOS 酸化（局所酸化法）により形成する。この素子分離酸化膜 5 により、素子領域は分離される。続いて、半導体基板 1 を酸化しゲート酸化膜 8 を形成した後、CVD 法によりリンドープドポリシリコン膜を堆積し、ゲート電極 9 a 及びゲート電極配線 9 b となる部分のみ残るようにレジストパターンを形成し、異方性エッチングを行うことに

よりゲート電極 9 a 及びゲート電極配線 9 b が形成される。次に、N 型の不純物拡散層 6 となる部分が開口部となるようなレジストパターンをリソグラフィー技術により形成し、イオン注入法によって、リンイオンを注入し、N 型の不純物拡散層 6 を形成する。同様に、ボロンイオンを注入し、P 型の不純物拡散層 7 を形成する。

【0010】その後、半導体基板 1 全面に、CVD 法により  $\text{SiO}_2$  等の酸化物を堆積し、異方性エッチングを行うと、ゲート電極 9 a 及びゲート電極配線 9 b の側壁に酸化膜が残存し、側壁酸化膜 10 が形成され、図 5 に示されるような MOS トランジスタ素子が形成されることとなる。

【0011】次に、図 6 に示されるように、半導体基板 1 全面に厚さ約 50 nm のチタン膜 13 をスパッタ法にて堆積した後、500 ~ 750 °C の  $\text{N}_2$  ガス雰囲気中で約 30 秒間アニールする。このとき、図 7 に示されるように上記チタン膜 13 の表面層は窒化され、窒化チタン膜 14 となり、同時に不純物拡散層 6、7 及びゲート電極 9 a 及びゲート電極配線 9 b とチタン膜 13 との界面においては、不純物拡散層 6、7 及びゲート電極 9 a 及びゲート電極配線 9 b を構成するポリシリコン中のシリコンと反応して、シリサイド反応が生じチタンシリサイド膜 11 となる。次に、リソグラフィー技術により局所配線 12 となる部分が覆われるレジストパターンを形成した後、窒化チタン膜 14 をエッチングすると、局所配線 12 が完成し、図 4 に示されるような半導体装置が形成されることとなる。

【0012】

【発明が解決しようとする課題】上記説明したように形成された半導体装置においては、不純物拡散層 6、7 上のチタンシリサイド膜 11 を形成する際に、同時に形成される窒化チタン膜 14 を局所配線 12 として用いていた。しかしながら、このようにして形成された窒化チタン膜 14 は比抵抗が数百  $\mu\Omega\text{cm}$  と非常に高いので、局所配線 12 の抵抗が高くなるという問題があった。

【0013】また、チタン膜 13 を窒化する際には、同時にチタン膜 13 の下層において、不純物拡散層 6、7 のシリコンを消費しながらシリサイド反応が生じる。従って、局所配線 12 の抵抗を下げるため、窒化チタン膜 14 を厚く形成しようとする、不純物拡散層 6、7 中のシリコンが多量に消費されることになり、接合耐圧が低下したり、電流リークを生ずることとなるので、窒化チタン膜 14 の膜厚は自ずと制限されることとなる。従って、上記説明したような局所配線 12 においては、抵抗を下げるできないため、デバイスの高速化が妨げられるという課題が生じていた。

【0014】本発明に係る課題を解決するためなされたもので、低抵抗の局所配線を有する半導体装置を得るとともに、その製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の半導体装置は、半導体基板と、この基板上に形成された不純物拡散層と、この不純物拡散層と高融点金属シリサイド膜を介して電氣的に接続される配線とを備え、この配線が高融点金属膜と、この高融点金属膜上に形成された高融点金属窒化膜との 2 層構造を有することを特徴とするものである。

【0016】また、本発明の半導体装置の製造方法においては、半導体基板上に不純物拡散層を形成する工程と、上記基板上に高融点金属膜を 100 nm 以上堆積する工程と、窒化雰囲気中で熱処理し、上記高融点金属膜の表面に高融点金属窒化膜を形成するとともに、この高融点金属膜と上記不純物拡散層が接する面に高融点金属シリサイド膜を形成する工程と、上記高融点金属膜と上記高融点金属窒化膜とを配線パターンとする工程とを備えたものである。

【0017】

【作用】このように構成された半導体装置において、不純物拡散層上に形成された高融点金属シリサイド膜を介して不純物拡散層と電氣的に接続される配線は、低抵抗な高融点金属膜とその高融点金属窒化膜との 2 層構造となるので、配線は低抵抗なものとなる。

【0018】また、この発明の半導体装置の製造方法においては、高融点金属膜を 100 nm 以上堆積しこの高融点金属膜を窒化雰囲気中で熱処理することによって、高融点金属窒化膜と高融点金属シリサイド膜とを形成し、この高融点金属窒化膜と高融点金属シリサイド膜間に未反応のまま残存した高融点金属膜および上記高融点金属窒化膜とを配線に用いる。

【0019】

【実施例】

実施例 1. 図 1 は本発明の一実施例における半導体装置の構造を示す一部断面図である。図において、1 ~ 11 までは従来のものと全く同一のものであって、12 は隣接した不純物拡散層 6、7 間をチタンシリサイド膜 11 を介して電氣的に接続する局所配線で、12 a は高融点金属である例えばチタン膜が窒化された高融点金属窒化膜である厚さ約 20 nm の窒化チタン膜、12 b はこの窒化チタン膜 12 a 下に上記高融点金属であるチタン膜が未反応のまま残存した厚さ約 50 nm の未反応チタン膜であって、上層の窒化チタン膜 12 a と下層の未反応チタン膜 12 b とで局所配線 12 は構成されている。

【0020】このように構成された半導体装置においても、従来のものと同様に、不純物拡散層 6 と不純物拡散層 7 とを電氣的に接続するための局所配線 12 が、接続孔を形成することなく、チタンシリサイド膜 11 を介して直接接続されるので、パターンレイアウトの高集積化が図れる。

【0021】また、この実施例における局所配線 12 は、比抵抗が約 60  $\mu\Omega\text{cm}$  と小さい未反応チタン膜 1

2 b と窒化チタン膜 1 2 a との二層構造となっているので、従来の窒化チタン膜 1 2 a の一層構造の局所配線 1 2 と比較すると抵抗は小さくでき、デバイスの高速化を図ることができる。

【 0 0 2 2 】 また、上記のように構成された半導体装置の製造方法について、図 2、図 3 及び図 5 に基づいて説明する。図 2 及び図 3 はこの実施例の半導体装置の製造方法における一工程を示す一部断面図である。まず、図 5 に示されるように、従来の半導体装置で説明したものと全く同一の方法にて、MOS トランジスタ素子を形成する。次に、図 2 に示されるように、半導体基板 1 全面にスパッタ法等により、約 1 0 0 n m 以上の厚さのチタン膜 1 3 を堆積した後、窒化ガスである窒素ガス雰囲気中にて、5 0 0 ~ 7 5 0 ° C の範囲内で約 3 0 秒間熱処理を行う。このとき、図 3 に示されるように、このチタン膜 1 3 の表面層は窒化され、約 2 0 n m の窒化チタン膜 1 4 が形成される。同時に不純物拡散層 6、7 及びゲート電極 9 a 及びゲート電極配線 9 b とチタン膜 1 3 との界面においてはシリサイド反応が進み、約 8 0 n m のチタンシリサイド膜 1 1 が形成されることとなる。また、この熱処理においては上記窒化チタン膜 1 4 下には、約 5 0 n m のチタン膜 1 3 が未反応のまま残っている。

【 0 0 2 3 】 その後、リソグラフィ技術により局所配線 1 2 となる部分のみを覆うレジストパターンを形成した後、C l<sub>2</sub>/B C l<sub>3</sub> 混合ガスによるプラズマドライエッチにより窒化チタン膜 1 4 及び未反応なチタン膜 1 3 の大半を除去し、さらに H<sub>2</sub>O<sub>2</sub> 水溶液により除去した後、レジストパターンを除去し、局所配線 1 2 のパターンに形成された窒化チタン膜 1 2 a と未反応チタン膜 1 2 b が得られ、図 1 に示されるような局所配線 1 2 が完成する。

【 0 0 2 4 】 この発明におけるチタン膜 1 3 の熱処理条件においては、チタン膜 1 3 を全て窒化チタン膜 1 4 に反応させる熱処理条件より、熱処理温度を下げたり、熱処理時間を短くすることによって、この熱処理により窒化チタン膜 1 4 下に未反応のままチタン膜 1 3 が残存するように行われることとなる。

【 0 0 2 5 】 また、上記説明した半導体装置の製造方法においては熱処理条件を変えずとも、チタン膜 1 3 をさらに厚く堆積することによって、未反応のまま残存する未反応チタン膜 1 2 b の膜厚を大きくすることができるので、不純物拡散層 6、7 とチタン膜 1 3 との界面におけるシリサイド反応を進めることがないので、従来例で示したように接合耐圧の低下、電流リーク等の問題が生じることなく、さらに低抵抗な局所配線 1 2 を形成でき

る。

【 0 0 2 6 】 さらに、上記説明した製造方法においては、従来の製造方法に比べて工程数を増やすことなく、低抵抗な局所配線 1 2 を形成することができる。

【 0 0 2 7 】 また、この実施例においては、高融点金属としてチタン膜についてのみ説明したが、他の高融点金属膜についても同様の効果が得られることは言うまでもない。

【 0 0 2 8 】

【 発明の効果 】 本発明の半導体装置においては、不純物拡散層とこの不純物拡散層上に形成された高融点金属シリサイド膜を介して電氣的に接続される配線が、低抵抗な高融点金属膜と高融点金属窒化膜との二層構造となるので、低抵抗な配線が実現できるため、高速化が図れるという効果を有する。

【 0 0 2 9 】 また、本発明の半導体装置の製造方法においては、高融点金属膜を 1 0 0 n m 以上堆積し、窒化雰囲気中で熱処理することにより高融点金属シリサイド膜を形成し、この熱処理時に形成される高融点金属窒化膜と、未反応のまま残存する高融点金属膜とを配線として用いることによって、従来の製造工程を変えることなく、低抵抗な配線を形成できるという効果を有する。

【 図面の簡単な説明 】

【 図 1 】 本発明の一実施例である半導体装置の構成を示す一部断面図である。

【 図 2 】 本発明の一実施例である半導体装置の製造方法の一工程を示す断面図である。

【 図 3 】 本発明の一実施例である半導体装置の製造方法の一工程を示す断面図である。

【 図 4 】 従来の半導体装置の構成を示す一部断面図である。

【 図 5 】 従来の半導体装置の製造方法の一工程を示す断面図である。

【 図 6 】 従来の半導体装置の製造方法の一工程を示す断面図である。

【 図 7 】 従来の半導体装置の製造方法の一工程を示す断面図である。

【 符号の説明 】

1 半導体基板

6、7 不純物拡散層

1 1 チタンシリサイド膜

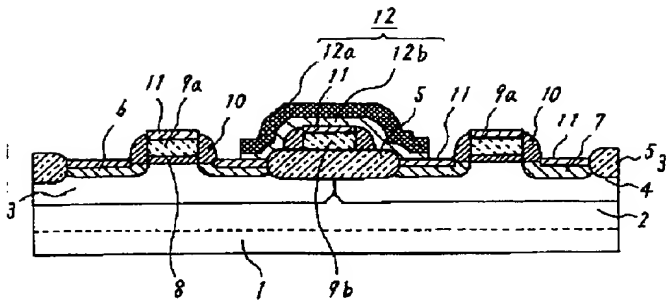
1 2 局所配線

1 2 a 窒化チタン膜

1 2 b 未反応チタン膜

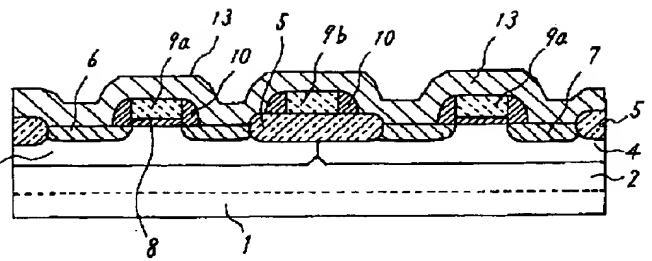
1 3 チタン膜

【図 1】

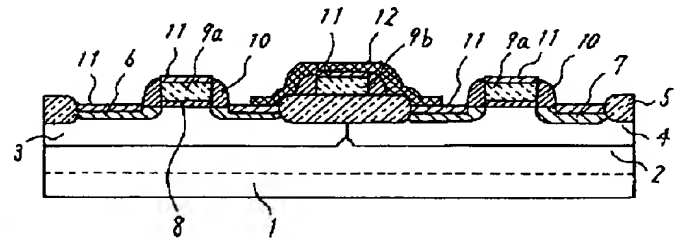


- 1: 半導体基板  
 6, 7: 不純物拡散層  
 11: チタンシリサイド膜  
 12: 局所配線  
 12a: 窒化チタン膜  
 12b: 未反応チタン膜  
 13: チタン膜

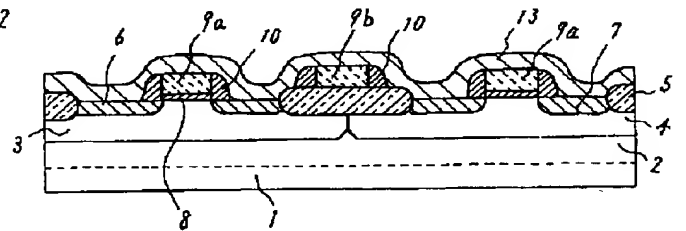
【図 2】



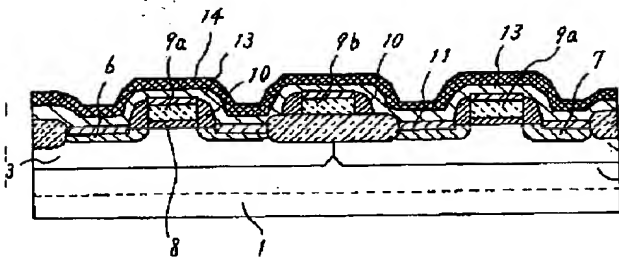
【図 4】



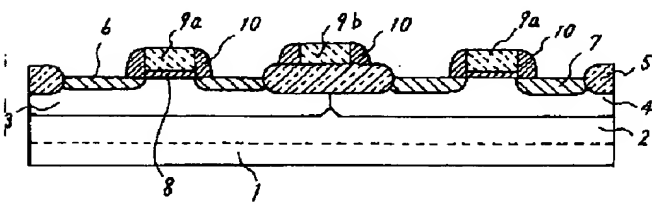
【図 6】



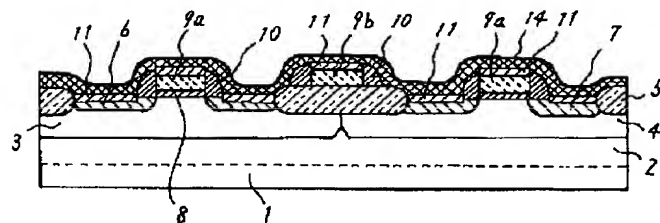
【図 3】



【図 5】



【図 7】



**THIS PAGE BLANK (U)**